



特 許 願 (一)
昭和 49 年 12 月 4 日

特許庁長官 齊藤英雄殿

1. 発明の名称 割込み制御方式
2. 発明者
住 所 神奈川県川崎市中原区上小田中 1015 番地
富士通株式会社内
氏 名 菊地 龍 次 (外 1 名)
3. 特許出願人
住 所 神奈川県川崎市中原区上小田中 1015 番地
氏 名 (522) 富士通株式会社
代表者 高 藤 芳 光
4. 代 理 人
住 所 東京都荒川区西日暮 4 丁目 17 番 1 号
佐藤マンション 3 F C
氏 名 (7484) 弁理士 森 田 寛

5. 添付書類の目録

- (1) 明 細 書 1 通
- (2) 図 面 1 通
- (3) 委 任 状 1 通
- (4) 願 書 副 本 1 通

49 139897

方式 特許

明 細 書

1. 発明の名称

割込み制御方式

2. 特許請求の範囲

マイクロ命令を順次読出して処理を進行すると共に、割込みにより上記マイクロ命令が格納される制御メモリのアドレス情報を遮断し、かつ上記割込みに対応したアドレス情報により上記制御メモリをアクセスするようにしたデータ処理装置において、上記割込みに対応した処理ルーチンの末尾またはその近傍に割込みリセット・ビットを附加したマイクロ命令を用意すると共に該割込みリセット・ビットを解釈するデコードをもうけ、該デコード出力により上記割込みをリセットしかつ上記遮断されたアドレス情報により上記制御メモリをアクセスするよう制御することを特徴とする割込み制御方式。

3. 発明の詳細な説明

本発明は、割込み制御方式、特に割込みルーチ

(1)

① 日本国特許庁

公開特許公報

①特開昭 51-65847

④公開日 昭51. (1976) 6. 7

②特願昭 49-139897

②出願日 昭49. (1974) 12. 4

審査請求 未請求 (全 3 頁)

序内整理番号

6341 56

6522 56

⑤日本分類

97MF13

97MF31

⑥ Int. Cl²

G06F 9/16

G06F 9/12

ンの末尾またはその近傍に割込みリセット・ビットを附加したマイクロ命令を用意し該マイクロ命令を解釈することにより、上記割込み前の処理ルーチンに復帰できるようにした割込み制御方式に關するものである。

従来割込み処理のプログラム・ルーチンは割込レベル毎に優先順位をもうけて用意され、あるレベルの割込みが発生すると、より優先順位の高い他の割込みが存在しないことを条件に、現に実行中のルーチンを中断して割込みルーチンに入るようになっている。そしてこのとき上記中断されたルーチンのアドレス情報は遮断され、割込み処理終了時に該遮断したアドレス情報を復帰するようにされる。

本発明は、上記のいわゆる割出し処理を効果的に行ない得るようにすることを目的としており、従来上記割出し処理のために特別にマイクロ命令を用意していたのに代えて、マイクロ命令中に割込みリセット・ビットを用意するだけで上記割出し処理を自動的にに行ない得るようにすることを目

(2)

的としている。そしてそのため本発明の割込み制御方式はマイクロ命令を順次脱出して処理を進行すると共に、割込みにより上記マイクロ命令が格納される制御メモリのアドレス情報を退避し、かつ上記割込みに対応したアドレス情報により上記制御メモリをアクセスするようにしたデータ処理装置において、上記割込みに対応した処理ルーチンの末尾またはその近傍に割込みリセット・ビットを附加したマイクロ命令を用意すると共に該割込みリセット・ビットを解説するデコードをもうけ、該デコード出力により上記割込みをリセットしかつ上記退避されたアドレス情報により上記制御メモリをアクセスするよう制御することを特徴としている。以下図面を参照しつつ説明する。

図は本発明の一実施例構成を示す。図中、1は制御メモリでマイクロプログラムが格納されているもの、2はアドレス・レジスタで制御メモリ1をアクセスするアドレス情報がセットされるもの、3はデータ・レジスタで脱出されたマイクロ命令がセットされるもの、4はデコード、5は命令ア

(3)

ドレス情報がアドレス・レジスタ2にセットされる。この間、上記割込み発生時に処理されつつあったルーチンのアドレス情報は、ゲート8を介して退避レジスタ7に退避され、割込みルーチンの終了時に再びゲート8を介してアドレス・レジスタ2に復帰し得るよう準備される。

上記割込みの先頭アドレス情報がレジスタ2にセットされると、これによつて制御メモリ1が順次アクセスされて所望の割込みルーチンを処理するようにされる。該割込みルーチンの終了時、レジスタ7の内容をレジスタ2に転送して元の処理に戻るようされる。

該復帰のための処理に當つて、本発明の場合マイクロ命令中に割込みリセット・ビット格納領域をもうけ、該領域に論理「1」が立てられているとき、これをデコード4によつて解説する。そして該デコード4の出力によつて割込みをリセットするようにし、上記退避されたアドレスの復帰を自動的に行なうようにしている。

図示の場合、40割込みから43割込みまでの

(5)

ドレス・メモリ領域で各割込みレベルに対応した割込み処理ルーチンの先頭アドレスが格納されているもの、6はエンコーダ、7は退避レジスタ、8、9はゲート、10、11、12、13は矢々フリップ・フロップで対応するレベルの割込みがあつたときセットされるもの、14ないし20はアンド回路、21ないし23はノット回路を表わしている。

通常の処理状態のもとでは、アドレス・レジスタ2にセットされたアドレス情報により制御メモリ1がアクセスされ、当該アドレスから脱出されたマイクロ命令がデータ・レジスタ3にセットされる。図示を省略した該セットされたマイクロ命令の内容は解説され、該内容に応じた演算処理が実行され、一方該命令中に書き込まれている次アドレス情報NAがアドレス・レジスタ2にセットされて、次のマイクロ命令を脱出するようにされる。

割込みが行なわれると、割込みレベルに応じてエンコーダ6を介して命令アドレス・メモリ領域8がアクセスされ当該割込みレベルに応じたアド

(6)

割込みがあるものとし、43割込み側がより高い優先順位をもつものとして示されている。

今40割込みと43割込みとが略同時に発生したとして以下説明する。上記によりフリップ・フロップ10と13とが一緒にセットされる。このときアンド回路18はオフ状態に保たれ、43割込みがエンコーダ6に導びかれて該43割込みに対応したルーチンが処理される。該ルーチンの最後においてデコード4が割込みリセット・ビットを解説して該デコード4は論理「1」を出力する。これによつてアンド回路17がオンされてフリップ・フロップ13はリセットされる。しかしこのときアンド回路14はオンされない。

これによつてノット回路23が論理「1」を出力するので、アンド回路18がオンされ、40割込みに対応したルーチンが制御メモリ1から脱出されて処理される。該ルーチンの最後においてデコード4が再び割込みリセット・ビットを解説して論理「1」を出力する。これによつてアンド回路14がオンされてフリップ・フロップ10もリセ

(6)

ットされる。即ち全部の割込みはリセットされる。

エンコーダ6はこれを検出し、グート8をオンして退避レジスタ7の内容をアドレス・レジスタ2にセットし、最初のルーチンに戻るよう制御される。

以上説明した如く本発明の場合、割込みルーチンの最後またはその近傍のマイクロ命令に、割込みリセット・ビット格納領域をもうけ、いわゆる割出し処理をハードウェア処理によつて自動的に実行することができる。

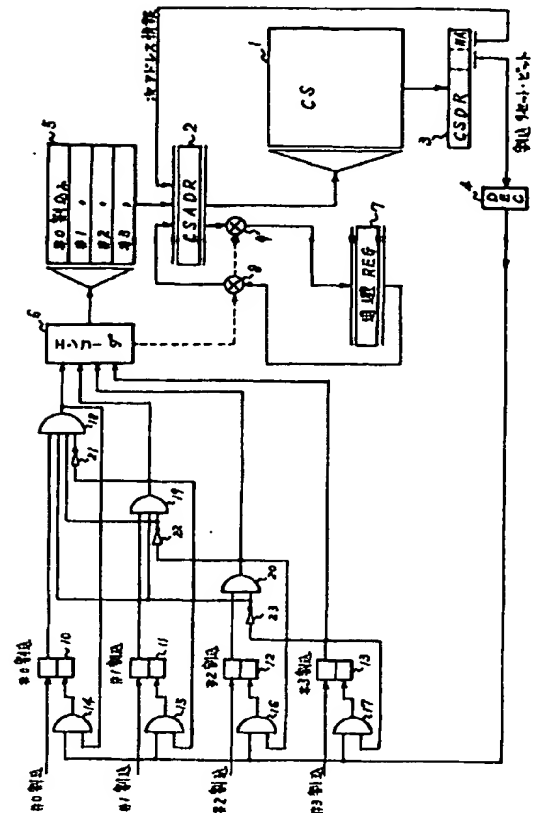
なお退避レジスタ7は命令アドレス・メモリ領域などを利用し得ることは言ひまでもない。

4. 図面の簡単な説明

図は本発明の一実施例構成を示す。図中1は制御メモリ、2はアドレス・レジスタ、3はデータ・レジスタ、4はデコーダ、5は命令アドレス・メモリ領域、7は退避レジスタを示す。

特許出願人 富士通株式会社
代理人弁理士 森田 寛

(7)



6. 前記以外の発明者

発明者

住 所 神奈川県川崎市中原区上小田中 1016 番地

富士通株式会社内

氏 名 中 尾 定 夫